

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177571

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.<sup>6</sup>

識別記号

FI

H04L 12/28

H04L 11/20

G

H04Q 3/00

H04Q 3/00

審査請求 未請求 請求項の数4 OL (全15頁)

(21) 出願番号

特願平9-345549

(22) 出願日

平成9年(1997)12月15日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿3丁目19番2号

(72) 発明者 竹内 偉久

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 則武 克誌

東京都新宿区西新宿3丁目19番2号 日本  
電信電話株式会社内

(74) 代理人 弁理士 工藤 宣幸

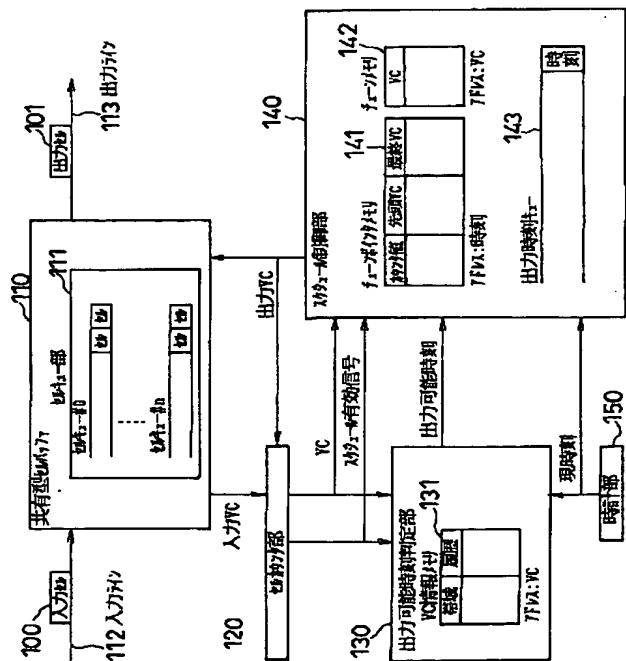
最終頁に続く

(54) 【発明の名称】 シェーピング装置

(57) 【要約】

【課題】 簡易な構成により、同一出力可能時刻について複数のVCを保存できるシェーピング装置を提供する。

【解決手段】 各時点において、出力可能時刻は各VCについて多くても1個だけ定める。出力可能時刻毎にVCの個数を示すカウンタ値と先頭VCと最終VCとを保存するチェーンポイントメモリと、当該出力可能時刻に関して2番目以降に出力するセルのVCをチェーン状に保存することができるチェーンメモリと、現時刻を出力可能時刻として指定して保存されたVCが存在する場合に、現時刻を書き込むための出力時刻キューとを有するスケジュール制御部を備える。



## 【特許請求の範囲】

【請求項1】 入力セルを宛先種類毎に区別して保存するセルバッファと、

当該セルバッファに保存されているセルの個数を宛先種類毎に計数するセルカウンタと、

ある宛先種類についてのセルが上記セルバッファへ1個目の格納セルとして入力された場合、又は、セルの出力後も上記セルバッファ内にセルが残る状態で当該宛先種類について上記セルバッファからセルが出力された場合に、当該宛先種類についての帯域情報及び今までの出力可能時刻に基づいて、上記セルバッファに保存された当該宛先種類の最古の格納セルを該セルバッファから出力することのできる出力可能時刻を判定する出力可能時刻判定手段と、

当該出力可能時刻判定手段から出力された各宛先種類についてそれぞれ1つの出力可能時刻を管理し、上記セルバッファからの読出しタイミングを制御するスケジュール制御手段とを有することを特徴とするシェーピング装置。

【請求項2】 上記スケジュール制御手段が、ある宛先種類について出力可能時刻が指定された場合において、当該出力可能時刻に他の宛先種類が既に割り当てられているときであっても、当該出力可能時刻に対して当該宛先種類を保存し、また、ある出力可能時刻に対して複数の宛先種類が保存されている場合には、所定の順序に従い該複数の宛先種類のセルをセルバッファから順次出力させることを特徴とする請求項1に記載のシェーピング装置。

【請求項3】 上記スケジュール制御手段が、当該出力可能時刻に割り当てられた宛先種類の個数を示すカウンタ値と、当該出力可能時刻について最初に出すべきセルの宛先種類である先頭宛先種類と、当該出力可能時刻について最後に出力すべきセルの宛先種類である最終宛先種類とを保存するチェーンポイントメモリと、

当該出力可能時刻に関して2番目以降に出力するセルの宛先種類をチェーン状に保存することができるチェーンメモリと、

上記チェーンポイントメモリ及び上記チェーンメモリ内に現時刻を出力可能時刻として指定して保存された宛先種類が存在する場合に、現時刻を書き込むための出力時刻キューとを内蔵し、

入力セルについての宛先種類を、出力可能時刻毎に上記チェーンポイントメモリ及び上記チェーンメモリ内に保存し、現時刻を出力可能時刻として指定した宛先種類が保存されている場合には、上記出力時刻キューへの現時刻の書き込みを通じて、上記セルバッファから当該宛先種類を有するセルを出力することを特徴とする請求項1又は2に記載のシェーピング装置。

【請求項4】 上記出力可能時刻判定手段は、各宛先種

類についての出力優先度を保持し、出力可能時刻の出力時に出力優先度も併せて出力し、

上記スケジュール制御手段は、同一時刻を出力可能時刻とする宛先種類が複数あったときに、出力優先度に基づいて、出力順序を設定することを特徴とする請求項1〜3のいずれかに記載のシェーピング装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はシェーピング装置に関し、例えば、ATM網におけるシェーピング装置に適用し得るものである。

## 【0002】

【従来の技術】広帯域サービス統合デジタル網(Broadband aspects of Integrated Service Digital Network;以下「B-ISDN」という)に対応するネットワークとして、近年、非同期転送モード(Asynchronous Transfer Mode;以下「ATM」ともいう)の技術を用いるネットワーク(このネットワークを明細書全体を通して「ATM網」ともいう)を実用化するための研究が盛んに進められている。

【0003】かかるATM網においては、セルを単位として、情報の伝送が行われている。ここで、「セル」とは、伝送すべき情報を固定長に区切ることにより形成された転送情報部と、宛先を示すアドレス等の制御情報を有するセルヘッダとからなる情報ブロックである。かかるセルヘッダには、通信開始前に予め定められた、VPI(Virtual Path Identifier: 仮想パス識別子;以下、単に「VP」ともいう)とVCI(Virtual Channel Identifier: 仮想チャネル識別子;以下、単に「VC」ともいう)が含まれている。ATM網では、かかるVP、VCを識別して、スイッチ交換装置や伝送装置における伝送路の切り替え等が行われる。また、各VPまたは、VCのトラフィック特性に基づいて、1ラインに複数の統計多重を行っている。

【0004】このため、各VPまたはVCに対応して定められたトラフィック特性(例えば、平均使用帯域、最高帯域等)と、実際に伝送されるトラフィック特性が異なる場合には、ATMスイッチにおいて、異常なバッファ漏れを起こし、サービス品質が非常に悪化するおそれがある。

【0005】かかる弊害を防止するため、各VPまたはVC単位に、トラフィックのシェーピング(平滑化)を行って、所望のトラフィック特性を満たすようにする必要がある。

【0006】図2は、かかるトラフィックのシェーピングを行う装置(以下、「シェーピング装置」ともいう)の従来例を示している。

【0007】図2に示すように、従来装置は、共有型セルバッファ310、出カタイミング判定部330、読み出し制御メモリ340、及び時計部350とから概略構

成されている。なお、従来装置の動作についての以下の記載においては、説明の便宜上、宛先種類としてはVCについてのみ説明するが、VPについても同様である。

【0008】この共有型セルバッファ310は、各VCに対応して設けられ、入力セルをFIFO形式で保存するセルキュー部311を有している。かかる内部構成を有する共有型セルバッファ310へ、入力セル300が、入力ライン312から入力されると、入力セルのVCが識別され、識別されたVCが対応する1つのセルキューに書き込まれる。かかる書き込みと同時に、出カタイミンク判定部330は、入力セルのVCについて予め定まっている許可帯域（セル間最小間隔）に基づいて、入力セルを出力できる時刻（以下、「出力可能時刻」ともいう）を判別し、読み出し制御メモリ340に与える。

【0009】読み出し制御メモリ340においては、受け取った出力可能時刻に既にVCが保存されているか否かを判定する。当該時刻にまだVCが保存されていない場合には（以下、かかる時刻を「空き時刻」ともいう）、当該時刻をアドレスとして、VCをデータとして保存する。これに対して、出力可能時刻に既にVCが保存されている場合には、当該時刻近傍の空き時刻を探し、この時刻をアドレスとしてVCをデータとして保存する。

【0010】一方、読み出し制御メモリ340には、常時、時計部350から現在の時刻が入力されている。そして、当該時刻をアドレスとして当該アドレスに記憶されているVCがデータとして読み出され、共有型セルバッファ310に与えられる。共有型セルバッファ310は、その内部にあるセルキュー部311内の対応するセルキューから、受け取ったVCにしたがってセルを読み出し、読み出したセルを出力ライン313へ出力する。

【0011】従来装置の動作を図3を用いてより具体的に説明する。いま、読み出し制御メモリ340に与えられるVCと出力可能時刻との組合せ（以下、この組合せを「スケジュール」という）が4個発生したとする。そのスケジュールの発生の順番（スケジュールという語の後の数字で示す）及び内容（括弧内に、「VC＝」及び「出力可能時刻＝」で示す）は、スケジュール1（VC＝a、出力可能時刻＝1）、スケジュール2（VC＝b、出力可能時刻＝2）、スケジュール3（VC＝c、出力可能時刻＝1）、及びスケジュール4（VC＝d、出力可能時刻＝1）であるとする。

【0012】スケジュール1においては、時刻1をアドレスとして、aというVCがデータとして保存される。スケジュール2においては、時刻2をアドレスとして、bというVCがデータとして保存される。

【0013】一方、スケジュール3においては、出力可能時刻である1にVC（＝a）が既に保存されているので、時刻1の近傍の時刻を探すこととなる。しかし、時刻2にもVC（＝b）が既にデータとして保存されているので、この時点で最も近い空き時刻である時刻3にc

というVCがデータとして保存される。

【0014】また、スケジュール4においては、出力可能時刻である1にVC（＝a）が既に保存されているので、近傍の空き時刻を探すこととなる。しかし、時刻2も時刻3も塞がっていることから、最も近傍の空き時刻が4ということになり、時刻4にdというVCがデータとして保存される。

【0015】以上の動作の結果、図4に示すように、アドレスである時刻1、2、3及び4にそれぞれa、b、c及びdというVCがデータとして保存されることとなる。

【0016】このようにVCが保存された読み出し制御メモリ340へは、常時、時計部350から現在の時刻（以下、「現時刻」ともいう）が入力されており、該現時刻を出力可能時刻として指定されたVC（即ち、当該時刻にデータとして保存されているVC）が読み出される。いま、1～4の各時刻には、前述のように、それぞれ1個ずつのVCが保存されているから、読み出しはこの時刻順になされる。したがって、読み出されるVCは図4の右下部に示すように、時刻1、2、3及び4について、それぞれa、b、c及びdとなる。

【0017】ところで、これまでの説明では詳しく述べられていないが、従来装置においては、出許可時刻は宛先種類であるVC毎ではなくセル毎に設定されていたため、セルの数だけ出力可能時刻を設定しなければならなかった。このため、出力可能時刻を設定するのに必要とされるメモリ容量が膨大となっていた。

【0018】

【発明が解決しようとする課題】上述の説明から明らかのように、従来装置においては、読み出し制御メモリ340において、受け取った出力可能時刻をアドレスとして、VCをデータとして記憶する際に、当該出力可能時刻に既にVCが保存されている場合には、その時刻の近傍にある空き時刻を見つけなければならない。このため、かかる動作を実現するための回路を設けなければならない、回路設計が複雑になるという問題があった。

【0019】また、従来装置においては、空き時刻を見つけるための時間は極めて短く限られていることから、この限られた短時間の間に空き時刻が見つからないときには、入力セルを廃棄しなければならない場合が生じる。このような場合には、予め申告等により設定された帯域を下回りユーザに不利益を与えたり、サービス品質が劣化したりしてしまうという問題があった。

【0020】さらに、従来装置においては、セル毎に出力可能時刻を設定する必要があったため、必要とされるメモリ容量が大きくなってしまいう問題があった。

【0021】そこで、簡易な構成により、同一時刻を出力可能時刻としてVCが重複して指定された場合であっても、複数のVCを保存し得る装置が求められていた。

【0022】また、設定すべき出力可能時刻の個数を減

10

20

30

40

50

らし、必要とされるメモリ容量を小さくした装置が求められていた。

#### 【0023】

【課題を解決するための手段】かかる課題を解決するため、本発明のシェーピング装置は、(1)入力セルを宛先種類毎に区別して保存するセルバッファと、(2)当該セルバッファに保存されているセルの個数を宛先種類毎に計数するセルカウンタと、(3)ある宛先種類についてのセルが上記セルバッファへ1個目の格納セルとして入力された場合、又は、セルの出力後も上記セルバッファ内にセルが残る状態で当該宛先種類について上記セルバッファからセルが出力された場合に、当該宛先種類についての帯域情報及び今までの出力可能時刻に基づいて、上記セルバッファに保存された当該宛先種類の最古の格納セルを該セルバッファから出力することのできる出力可能時刻を判定する出力可能時刻判定手段と、

(4)当該出力可能時刻判定手段から出力された各宛先種類についてそれぞれ1つの出力可能時刻を管理し、上記セルバッファからの読出しタイミングを制御するスケジュール制御手段とを有することを特徴とする。

【0024】ここで、スケジュール制御手段が、ある宛先種類について出力可能時刻が指定された場合において、当該出力可能時刻に他の宛先種類が既に保存されているときであっても、当該出力可能時刻に対して当該宛先種類を保存し、また、ある出力可能時刻に対して複数の宛先種類が保存されている場合には、所定の順序に従い該複数の宛先種類のセルをセルバッファから順次出力させることが好ましい。

【0025】本発明のシェーピング装置においては、セル毎にではなく、宛先種類毎に出力可能時刻を設定することとしているため、設定すべき出力可能時刻の個数が少なくすむため、必要とされるメモリ容量が小さくて済むという利点がある。

【0026】また、本発明のシェーピング装置においては、同一の時刻を出力可能時刻として複数の宛先種類が指定された場合であっても、空き時刻を見つけるための回路を設けることなく、複数の宛先種類を保存することができ、回路構成が簡素化されるという利点がある。このため、入力セルが廃棄されることもないため、設定された帯域を下回ることもなく、またサービス品質が低下することもない。

#### 【0027】

【発明の実施の形態】以下、図面を参照しながら、本発明に係るシェーピング装置の実施形態を説明する。

#### 【0028】(A)第1実施形態

##### (A-1)第1実施形態の構成

まず、図1を参照しながら、本発明に係るシェーピング装置の第1実施形態の構成を説明する。ここで、図1は、本発明の第1実施形態に係るシェーピング装置の構成を示す図である。

【0029】図1に示すように、第1実施形態のシェーピング装置は、共有型セルバッファ110と、セルカウンタ部120と、出力可能時刻判定部130と、スケジュール制御部140と、時計部150とから概略構成されている。

【0030】共有型セルバッファ110は、セルキュー部111と、セルキュー制御機能(図示せず)とを有している。セルキュー部111は、FIFO(first-in first-out; 先入れ先出し)形式でセルを保存する、n個(VC数に等しい)のセルキュー#0〜#nからなっている。かかる内部構成を有する共有型セルバッファ110は、入力ライン112より入力セル100を入力し、この入力セル100の宛先種類である仮想チャネル識別子(Virtual Channel Identifier; 以下単に「VC」ともいう)を判別し、この入力セルのVC(以下、「入力VC」ともいう)を、セルカウンタ部120に与える。また、共有型セルバッファ110は、スケジュール制御部140から、後述する出力VCを受け取り、当該出力VCに対応するセルキュー部111内にある1つのセルキューから最古の格納セルを読み出し、このセルを出力セル101として出力ライン113から出力することを行う。

【0031】セルカウンタ部120は、複数のセルカウンタからなっており、該複数のセルカウンタはそれぞれ1つのVCに対応している。該複数のセルカウンタの各々は、共有型セルバッファ110から与えられる入力VCと、スケジュール制御部140から与えられるVC(以下、「出力VC」ともいう)とに基づき、共有型セルバッファ110内にある対応VCのセルキューに保存されているセルの個数を計数するものである。なお、セルの個数の計数は、共有型セルバッファ110から入力VCが与えられたときに、対応セルカウンタのカウント値を1インクリメントし、スケジュール制御部140から出力VCが与えられたときに、該カウント値を1デクリメントすることにより行う。また、セルカウンタ部120は、後述する条件に応じて適宜、VCを出力可能時刻判定部130とスケジュール制御部140とに与える。また、セルカウンタ部120は、後述する条件に応じて適宜、スケジュール有効信号を発行し、これを出力可能時刻判定部130とスケジュール制御部140とに与える。

【0032】出力可能時刻判定部130は、その内部にVC情報メモリ131を有している。このVC情報メモリ131のアドレスの各々は、それぞれ1つのVCに対応している。また、各アドレスには、対応するVCについての、予め申告等により設定された帯域(最小セル間隔等を示す)や履歴(当該VCに対応する前回の出力可能時刻)が保存されている。出力可能時刻判定部130は、セルカウンタ部120からVCが与えられると、与えられたVCをアドレスとして、VC情報メモリ131

内より、帯域及び履歴をデータとして読み出す。そして、かかるデータに基づき、与えられたVCに対応するセルキューから次にセルが出力されるべき時刻（以下、「出力可能時刻」ともいう。）を判別し、判別した出力可能時刻をスケジュール制御部140に与える。

【0033】スケジュール制御部140は、その内部に、チェーンポインタメモリ141と、チェーンメモリ142と、出力時刻キュー143と、これらの制御機能（図示せず）とを有している。

【0034】チェーンポインタメモリ141は、時刻をアドレスとして、カウンタ値、先頭VC及び最終VCを保存するものである。ここで、カウンタ値は、チェーンポインタメモリ141及びチェーンメモリ142が保存している、その時刻を出力可能時刻としているVCの個数を示している。また、先頭VCは、その時点でチェーンポインタメモリ141及びチェーンメモリ142が保存しているVCのうち、セルカウンタ部120からスケジュール制御部140へ最初に与えられたVCであることを示しており、最終VCは最後に与えられたVCであることを示している。このことはまた、後に詳述するように、先頭VCは最初に出力すべきVCであること、及び最終VCは最後に出力すべきVCであることをも示している。

【0035】チェーンメモリ142は、同一時刻を出力可能時刻として複数のVCが指定された場合に、当該時刻に関して、2番目以降に書き込まれたVCを保存することにより、重複してVCを保存することを可能とするものである。第1実施形態においては、このことはまた、チェーンメモリ142は2番目以降に読み出して出力すべきVCを保存していることをも意味している。

【0036】出力時刻キュー143は、現時刻を出力可能時刻として割り当てられているVCがある場合に、該現時刻をFIFO形式で保存するものである。

【0037】かかる内部構成を有するスケジュール制御部140は、セルカウンタ部120から与えられるVC及びスケジュール有効信号と、出力可能時刻判定部130から与えられる出力可能時刻と、時計部150から与えられる現時刻とに基づき、現時刻について出力可能なVCを判定し、判定した出力VCをセルカウンタ部120と共有型セルバッファ110とに与えるものである。

【0038】時計部150は、現時刻を、出力可能時刻判定部130と、スケジュール制御部140とに与えるものである。

【0039】（A-2）第1実施形態の動作の概略次に、第1実施形態に係るシェーピング装置の動作の概略を、図1を参照しながら説明する。なお、以下に説明する動作は、1セルが入力又は出力される時間内に処理されるものとする。以下、第1実施形態の動作を、チェーンポインタメモリ141及びチェーンメモリ142へのVCの書き込み動作、これらの部材からのVCの読み出

し動作の順に説明する。

【0040】（A-2-1）書き込み動作

まず、共有型セルバッファ110へ入力セル100を入力後、チェーンポインタメモリ141及びチェーンメモリ142へ、VCを書き込むまでの動作について説明する。

【0041】共有型セルバッファ110においては、入力セル100が入力されると、入力セル100の入力VCが識別され、識別された入力VCに対応するセルキューがセルキュー部111内のセルキュー#0～#nの中から選択される。そして、入力セル100は、この選択されたセルキューに格納される。かかる格納と同時に、入力VCが、セルカウンタ部120に与えられる。

【0042】セルカウンタ部120においては、共有型セルバッファ110から入力VCを受け取ると、受け取った入力VCに対応するセルカウンタのカウンタ値が1インクリメントされる。インクリメント後における該カウンタ値が1の場合（即ち、共有型セルバッファ110に、入力セル100が入力された時点で、入力VCに対応するセルキューに他のセルが保存されていなかった場合）、該入力VCが、セルカウンタ部120から出力可能時刻判定部130とスケジュール制御部140とに与えられる。なお、入力VCがセルカウンタ部120へ入力された後、セルカウンタ部120から出力可能時刻判定部130及びスケジュール制御部140へ与えられる際には、単に「VC」という。

【0043】出力可能時刻判定部130においては、セルカウンタ部120から受け取ったVCをアドレスとして、VC情報メモリ131からデータの読出しが行われる。読み出されるデータは、該アドレスについての帯域及び履歴である。そして、データとして読み出された帯域及び履歴に基づいて、出力可能時刻が判別される。スケジュール制御部140においては、出力可能時刻判定部130から受け取った出力可能時刻をアドレスとして、チェーンポインタメモリ141からデータが読み出される。読み出されるデータは、該アドレスにおけるカウンタ値、先頭VC、及び最終VCである。

【0044】ここで、チェーンポインタメモリ141からデータとして読み出されたカウンタ値が0の場合（即ち、当該時刻を出力可能時刻として割り当てられた他のVCがない場合）には、当該アドレスについてのカウンタ値が0から1にインクリメントされると共に、セルカウンタ部120から与えられたVCが先頭VC及び最終VCにデータとして保存される。カウンタ値が1インクリメントされるのは、セルカウンタ部120からスケジュール制御部140にVCが与えられる前は、チェーンポインタメモリ141の当該時刻について1個もVCが保存されていなかったところ、セルカウンタ部120からスケジュール制御部140にVCが与えられたことによって、当該時刻についてのVCの個数が0から1にな

ったからである。また、セルカウンタ部120から与えられたVCが先頭VC及び最終VCとして保存されるのは、当該時刻について、VCの個数は1なので、先頭VC、最終VCともに、初期値は当該VCとなるからである。

【0045】これに対して、チェーンポインタメモリ141からデータとして読み出されたカウンタ値が0以外の値の場合（即ち、当該時刻を出力可能時刻として割り当てられた他のVCが既にある場合）には、チェーンポインタメモリ141及びチェーンメモリ142において、以下の動作が行われる。

【0046】チェーンポインタメモリ141においては、当該アドレスについてのカウンタ値が1インクリメントされるとともに、当該アドレスの最終VCがセルカウンタ120から与えられたVCに書き換えられる。カウンタ値が1インクリメントされるのは、セルカウンタ部120から、スケジュール制御部140に新たなVCが与えられたことによって、当該時刻についてのVCの個数が1増えたからである。また、セルカウンタ部120から与えられたVCが最終VCとして保存されるのは、当該時刻について増えたVCを最終VCの変更によって示すためである。

【0047】チェーンメモリ142においては、先にチェーンポインタメモリ141から読み出された最終VCをアドレスとして、セルカウンタ部120から新たに与えられたVCがデータとして保存される。これにより、同一時刻に重複したVCが保存されることとなる。また、このことは、チェーンメモリ142内のアドレスとして保存されたVCと、そのアドレスにデータとして保存されたVCとの間には、該データとして保存されたVCが、該アドレスとして保存されたVCよりも、スケジュール制御部140へ、1つ後に入力されたものであるという関係があることを意味している。換言すれば、チェーンメモリ142におけるVCの配列は、スケジュール制御部140へのVCの入力順をも示している。この第1実施形態においては、このことはまた、チェーンメモリ142におけるVCの配列は、VCを出力すべき順番をも示していることを意味している。

【0048】なお、同一時刻を出力可能時刻として、更に別のVCが割り当てられた場合には、チェーンポインタメモリ141の最終VC（即ち、チェーンメモリ142のデータ部に保存されているVC）をアドレスとして、チェーンメモリ142に新たに割り当てられたVCが保存される。このように、同一時刻に新たに割り当てられたVCは、前回データとして割り当てられたVCを今度はアドレスとして使用するというように、チェーン状に保存されることとなる。

【0049】このように、スケジュール制御部140には、上記構成及び動作を有するチェーンポインタメモリ141とチェーンメモリ142が設けられているため、

同一時刻を出力可能時刻として指定した複数のVCがスケジュール制御部140に与えられた場合であっても、かかる複数のVCが、入力順にチェーン状に容易に保存されることとなる。

#### 【0050】（A-2-1）読出し動作

次に、チェーンポインタメモリ141及びチェーンメモリ142からVCを読み出した後、共有型セルバッファ110からセルを出力するまでの動作について説明する。

10 【0051】スケジュール制御部140には、常時、時計部150から現時刻が与えられ、この時刻をアドレスとして、チェーンポインタメモリ141からデータの読出しが行われている。ここで、読み出されるデータは、当該アドレスに記憶されているカウンタ値である。

【0052】このようにして読み出されたカウンタ値が0以外の値の場合、即ち、該時刻を出力可能時刻として割り当てられたVCが既にチェーンポインタメモリ141内に存在する場合には、出力時刻キュー140に該現時刻がデータとして書き込まれる。かかる書き込みが行われるのは、後に出力時刻キューから当該時刻を読み出すことにより、当該時刻に係るVC、ひいては当該VCに係るセルを出力する制御を行うことができるようにするためである。なお、読み出されたカウンタ値が0の場合には、かかる出力時刻キュー143への時刻の書き込みはなされない、カウンタ値が0であるということは、読み出すべきVCがないことを意味しており、したがって出力の対象にする必要がないからである。

【0053】さらに、スケジュール制御部140においては、現時刻より古い出力可能時刻について、まだ出力されずに残っているセルがないかどうかを確認される。このようになされるのは、かかるセルが残っている場合には、当該出力可能時刻に保存されているセルを全て出力してしまう必要があるからである。

【0054】そして、かかるセルがないと判定された場合には、出力時刻キュー143から時刻が1回だけ読み出される。そして、この時刻をアドレスとして、カウンタ値と先頭VCがチェーンポインタメモリ141からデータとして読み出される。先頭VCから読み出すのは、VCの読出しをスケジュール制御部140に到着した順になすためである。読み出された先頭VC（以下、「出力VC」ともいう）は、共有型セルバッファ110とセルカウンタ部120とに与えられる。また、チェーンポインタメモリ141のカウンタ値が、1デクリメントされた値に書き換えられる。これにより、チェーンポインタメモリ141の当該アドレスに保存されているVCの個数が1減ったことがカウンタ値により示されることとなる。

【0055】当該アドレスにおける、かかるデクリメント後のカウンタ値が0以外の値の場合には次のようになされる。まず、先に読み出された先頭VCをアドレスと

して、チェーンメモリ142からそのアドレスにデータとして保存されたVCが読み出される。そして、該読み出されたVCが、チェーンポインタメモリ141の先頭VCにデータとして書き込まれる。このように、デクリメント後のカウンタ値が0以外の値の場合には、チェーンポインタメモリ141の先頭VCが、スケジュール制御部140への入力順でいうと1つ後のVCに書き換えられる。

【0056】出力時刻キュー143から読み出された当該時刻についての、チェーンポインタメモリ141からのカウンタ値と先頭VCをデータとして読み出す動作から、先頭VCの書き換え動作までの一連の動作は、当該アドレスについてのチェーンポインタメモリ141のカウンタ値が0になるまで、毎時刻にわたって繰り返される。また、カウンタ値が0になるまでは、新たな時刻が読み出されることはない。即ち、当該読み出された時刻について割り当てられた、全てのVCの読出しが終了するまで、次の時刻をアドレスとする読出しは行われないこととなる。

【0057】一方、共有型セルバッファ110においては、スケジュール制御部140から出力VCを受け取ると、この出力VCに対応したセルキューからセルが1個読み出され、読み出されたセルが出力ライン113から出力セル101として出力される。

【0058】また、セルカウンタ部120においては、スケジュール制御部140から出力VCを受け取ると、このVCに対応したセルカウンタのカウンタ値が1デクリメントされる。これにより、当該VCに対応したセルキューに保存されているセルの個数が、出力セル101の出力によって1減ったことをカウンタ値によって示される。

【0059】その後、当該VCは、セルカウンタ部120から、出力可能時刻判定部130とスケジュール制御部140とに与えられる（なお、出力VCがセルカウンタ部120に与えられた後、セルカウンタ部120から出力可能時刻判定部130とスケジュール制御部140に与えられる際には、単に「VC」と呼ぶ）。

【0060】また、セルカウンタ部120においては、デクリメント後のセルカウンタ値が0以外の値のときには、当該VCとともにスケジュール有効信号が、セルカウンタ部120から出力可能時刻判定部130とスケジュール制御部140とに与えられる。

【0061】出力可能時刻判定部130においては、上記VCをセルカウンタ部120から受け取ると、VC情報メモリ131内の履歴が、該VCをアドレスとする時計部150より受け取った現時刻に変更される。これにより、セルキュー部111内の当該VCに対応するセルキューから、セルが最後に出力された時刻が、現時刻であることが示されることとなる。また、出力可能時刻判定部130においては、スケジュール有効信号がカウン

タ部120より与えられている場合には、前述のセル入力時（即ち入力VCに由来するVCを受け取った場合）と同様な動作により、出力可能時刻を判別し、判別した出力可能時刻をスケジュール制御部140へ出力する。

【0062】また、スケジュール制御部140においては、前述のセル入力時の動作と同様の動作により、与えられた出力可能時刻にVCが割り付けられる。

【0063】（A-3）第1実施形態の具体的動作

次に、図4に基づき、第1実施形態の動作をより具体的に説明する。ここで、図4は、第1実施形態の動作の主要な点を説明する図である。以下の説明では、本装置の中心的要素である、スケジュール制御部140におけるチェーンポインタメモリ141及びチェーンメモリ142の動作を、スケジュール制御部140に与えられるVCと出力可能時刻との組合せ（以下、この組合せを「スケジュール」ともいう）の順番と、共有型セルバッファ110から出力セル101が出力される順番との関係を中心に、具体的に述べることとする。なお、スケジュールの発生の順番はスケジュールの後に記載された数字で示し、またその内容はさらにその後に記載された括弧内に示すこととする。例えば、最初のスケジュールは、スケジュール1（VC=a、出力可能時刻=1）というように示すこととする。また、開始時点においては、チェーンポインタメモリ141及びチェーンメモリ142のアドレスである時刻1～4のいずれについても、先頭VC、最終VCのいずれにもデータとしてVCが保存されておらず、また、カウンタ値の初期値はいずれの時刻においても0であるものとする。

【0064】（A-3-1）書き込み動作

まず、チェーンポインタメモリ141とチェーンメモリ142へのデータの書き込み動作について説明する。いま、スケジュール制御部140において、スケジュール1（VC=a、出力可能時刻=1）、スケジュール2（VC=b、出力可能時刻=2）、スケジュール3（VC=c、出力可能時刻=1）、及びスケジュール4（VC=d、出力可能時刻=1）という4つのスケジュールがこの順に発生したとする。以下、スケジュールの発生順に説明する。

【0065】まず、スケジュール1について説明する。スケジュール1の出力可能時刻は1であるから、これをアドレスとして、チェーンポインタメモリ141からカウンタ値、先頭VC及び最終VCが読み出される。いま、読み出されたカウンタ値は0であるから、カウンタ値が0から1にインクリメントされると共に、このアドレスの先頭VCと最終VCにいずれもスケジュール1のVCであるaがデータとして書き込まれる。なお、この時点では、時刻1にはまだ1個のVCしか指定されていないので、チェーンメモリ142にVCを保存する必要がない。したがって、チェーンメモリ142内の各アドレスにおけるデータはいずれも無記入のままである。

【0066】次に、スケジュール2について説明する。スケジュール2の出力可能時刻は2であるから、これをアドレスとして、チェーンポインタメモリ141からカウンタ値、先頭VC及び最終VCが読み出される。いま、読み出されたカウンタ値は0であるから、カウンタ値が0から1にインクリメントされると共に、このアドレスの先頭VCと最終VCにいずれもスケジュール2のVCであるbがデータとして書き込まれる。なお、この時点では、時刻2にはまだ1個のVCしか指定されていないので、チェーンメモリ142にVCを保存する必要がない。したがって、チェーンメモリ142内の各アドレスにおけるデータはいずれも無記入のままである。

【0067】次に、スケジュール3について説明する。スケジュール3の出力可能時刻は1であるから、これをアドレスとして、チェーンポインタメモリ141からカウンタ値、先頭VC及び最終VCが読み出される。いま、読み出されたカウンタ値は1であるから、カウンタ値が1から2にインクリメントされると共に、このアドレスの最終VCにスケジュール3のVCであるcがデータとして書き込まれる。これと共に、チェーンメモリ142内のアドレスaにcがデータとして書き込まれる。これにより、時刻1に関し、合計2個のVCがスケジュール制御部140への入力順に保存されたことになる。

【0068】最後に、スケジュール4について説明する。スケジュール4の出力可能時刻は、1であるから、これをアドレスとして、チェーンポインタメモリ141からカウンタ値、先頭VC及び最終VCが読み出される。いま、読み出されたカウンタ値は2であるから、カウンタ値が2から3にインクリメントされると共に、このアドレスの最終VCにスケジュール4のVCであるdがデータとして書き込まれる。また、チェーンメモリ142においては、cをアドレスとしてdがデータとして書き込まれる。この結果、チェーンメモリ142内には、図2に示すように、aをアドレスとして、cがデータとして保存されており、またcをアドレスとしてdがデータとして保存されているというように、a、b及びdという3個のVCがスケジュール制御部140への入力順にチェーン状に保存されている。

【0069】このように、スケジュール制御部140へ入力されたVCは、出力可能時刻毎に、スケジュール制御部140への入力順にチェーン状に保存されることとなる。

#### 【0070】(A-3-2) 読出し動作

次に、スケジュール制御部140におけるチェーンポインタメモリ141とチェーンメモリ142からのデータの読出し動作について説明する。

【0071】前述のように、スケジュール制御部140へは、常に、時計部150より現時刻が与えられている。そこで、以下与えられた時刻毎に説明する。

【0072】まず、現時刻1が与えられた場合について

説明する。

【0073】現時刻1が与えられると、チェーンポインタメモリ141の時刻1というアドレスからカウンタ値の読出しが行われる。いま、カウンタ値は3であって0以外の値であるから、現時刻である1が出力時刻キュー143にデータとして書き込まれる。

【0074】次に、現時刻1より古い出力可能時刻が存在するか否かが確認される。いま、そのような時刻はないので、出力時刻キュー143から1回読出しが行われる。この時点では、出力時刻キュー143に格納されている時刻は1のみであるから、その時刻1が読み出される。そして、この時刻1をアドレスとして、当該アドレスについてのカウンタ値である3と、先頭VCであるaがチェーンポインタメモリ141からデータとして読み出される。そして読み出されたaが、出力VCとして、共有型セルバッファ110とセルカウンタ部120とに与えられる。また、チェーンポインタメモリ141のカウンタ値が3から1デクリメントされ2となる。

【0075】また、チェーンポインタメモリ141の時刻1についてのカウンタ値は、3から1デクリメントされ2に書き換えられる。この値は0以外の値であるから、先に先頭VC欄から読み出されたaをアドレスとして、チェーンメモリ142からcがデータとして読み出され、このcがチェーンポインタメモリ141の先頭VCとして書き込まれる。

【0076】一方、共有型セルバッファ110においては、スケジュール制御部140から出力VCであるaを受け取ると、aに対応したセルキューからセルが1個読み出され、読み出されたセルが出力ライン113から出力セル101として出力される。また、セルカウンタ部120においては、aに対応したセルカウンタのカウンタ値が1デクリメントされる。

【0077】次に、現時刻2が与えられた場合について説明する。現時刻2が与えられると、チェーンポインタメモリ141の時刻2というアドレスからカウンタ値の読出しが行われる。いま、カウンタ値は1であって0以外の値であるから、現時刻である2が出力時刻キュー143にデータとして書き込まれる。

【0078】一方、この時点で、時刻1について、チェーンポインタメモリ141のカウンタ値がまだ2であるから、出力時刻1をアドレスとしてチェーンポインタメモリ141からのカウンタ値2と先頭VCであるcをデータとして読み出す動作が行われる。そして、読み出された先頭VCであるcが出力VCとして、共有型セルバッファ110とセルカウンタ部120とに与えられる。また、チェーンポインタメモリ141のカウンタ値が2から1デクリメントされ1となる。

【0079】デクリメント後のカウンタ値は0以外の値であるから、先に読み出された先頭VCであるcをアドレスとして、チェーンメモリ142からそのアドレスに

10

20

30

40

50



データとして保存されたVCであるdが読み出される。そして、このdがチェーンポインタメモリ141の先頭VCにデータとして書き込まれる。この結果チェーンポインタメモリ141におけるカウンタ値は1、先頭VC及び最終VCはいずれもdとなる。

【0080】一方、共有型セルバッファ110においては、スケジュール制御部140から出力VCであるcを受け取ると、cに対応したセルキューからセルが1個読み出され、読み出されたセルが出力ライン113から出力セル101として出力される。また、セルカウンタ部120においては、cに対応したセルカウンタのカウンタ値が1デクリメントされる。

【0081】次に、現時刻3が与えられた場合について説明する。現時刻3が与えられると、チェーンポインタメモリ141の時刻3というアドレスからカウンタ値の読出しが行われる。いま、カウンタ値は0であるから、現時刻を出力時刻キュー143にデータとして書き込む動作はなされない。

【0082】一方、この時点で、時刻1について、チェーンポインタメモリ141のカウンタ値がまだ1であるから、出力時刻1をアドレスとしてチェーンポインタメモリ141からのカウンタ値1と先頭VCであるdをデータとして読み出す動作が行われる。そして、読み出された先頭VCであるdが出力VCとして、共有型セルバッファ110とセルカウンタ部120とに与えられる。また、チェーンポインタメモリ141のカウンタ値が1から1デクリメントされ0となる。チェーンポインタメモリ141のカウンタ値が0となったので、時刻1についてのVCの読出し動作はここで終了する。

【0083】一方、共有型セルバッファ110においては、スケジュール制御部140から出力VCであるdを受け取ると、dに対応したセルキューからセルが1個読み出され、読み出されたセルが出力ライン113から出力セル101として出力される。また、セルカウンタ部120においては、dに対応したセルカウンタのカウンタ値が1デクリメントされる。

【0084】次に、現時刻4が与えられた場合について説明する。現時刻4が与えられると、チェーンポインタメモリ141の時刻4というアドレスからカウンタ値の読出しが行われる。いま、カウンタ値は0であるから、現時刻を出力時刻キュー143にデータとして書き込む動作はなされない。

【0085】一方、時刻1についてのVCの読出し動作が終了したので、時刻2についてのVCの読出し動作に移行する。具体的には、出力時刻キュー143からデータとして保存されている時刻を1回読み出すことが行われる。この時点で出力時刻キュー143に保存されている時刻は2であるから、その時刻2をアドレスとして、当該アドレスについてのカウンタ値である1と先頭VCであるbがチェーンポインタメモリ141からデータと

して読み出される。そして、読み出されたbが出力VCとして、共有型セルバッファ110とセルカウンタ部120とに与えられる。また、チェーンポインタメモリ141の時刻2についてのカウンタ値は、1から1デクリメントされ0に書き換えられる。この値は0であるから、時刻2についての読出し動作はここで終了する。

【0086】共有型セルバッファ110においては、スケジュール制御部140から出力VCであるbを受け取ると、bに対応したセルキューからセルが1個読み出され、読み出されたセルが出力ライン113から出力セル101として出力される。また、セルカウンタ部120においては、bに対応したセルカウンタのカウンタ値が1デクリメントされる。

【0087】以上のように、現時刻1～4が与えられると、以上のように動作する結果、出力可能時間1について入力順に保存されていたVCであるa、c及びdが、それぞれ実際の出力時刻1、2及び3においてスケジュール制御部140より出力され、また、それぞれについてのセルが共有型セルバッファ110から出力される。その後、出力可能時刻2について保存されていたVCであるbが、実際の出力時刻4においてスケジュール制御部140より出力され、そのVCについてのセルが共有型セルバッファ110から出力される。以上の結果、出力セルと時間との関係は図2に示すようになる。

【0088】(A-4)第1実施形態の効果

以上説明したように、本発明の第1実施形態においては、チェーンポインタメモリ141及びチェーンメモリ142を設けたことにより、同一の出力可能時刻に対して複数のVCをチェーン状に保存することが可能となる。このため、出力可能時刻として指定された時刻が既に塞がっている場合であっても、当該時刻近辺に空き時刻を見つけないという動作が不要となる。したがって、かかる動作をなすための回路を設ける必要がなくなるため、回路設計が簡易なものとなるという利点がある。

【0089】また、同一の出力可能時刻に対して複数のVCを保存することができ、入力セルが廃棄されることがないため、予め設定された帯域を下回ってしまうことや、サービス品質が劣化してしまうことが避けられる。

【0090】さらに、セル毎ではなく、宛先種類であるVC毎に出力可能時刻を設定しているため、出力可能時刻の個数が少なくなり、スケジュール制御部でのメモリ容量が小さくて済むという利点がある。

【0091】(B)第2実施形態

(B-1)第2実施形態の構成

次に、図5を参照しながら、本発明のシェーピング装置の第2実施形態を説明する。図5は、本発明のシェーピング装置の第2実施形態の構成を示す図である。

【0092】第2実施形態が第1実施形態と異なる点は、出力可能時刻判定部131のVC情報メモリ130に各VC毎に、帯域・履歴に加えて、優先度を設けたこ

とである。このようになるのは、優先度の高いVCと優先度の低いVCを区別し、入力順が後であるVCであっても、優先度が高いVCについては先に出力することができるようにするためである。

【0093】第2実施形態に係るシェーピング装置は、具体的には、図5に示すように、共有型セルバッファ110、セルカウンタ部120、出力可能時刻判定部130、スケジュール制御部140、及び時計部150から概略構成されている。第2実施形態においては、出力可能時刻判定部130以外の部材、即ち、共有型バッファ110、セルカウンタ部120、スケジュール制御部140、時計部150の構成は、第1実施形態と同様なので、これらの部材についての詳細な説明は省略する。また、第1実施形態と同一のまたは対応する部材又は要素は同一の参照番号又は符号により示している。

【0094】(B-2)第2実施形態の動作の概略次に、第2実施形態の動作を説明する。第2実施形態の動作は、多くの点で第1実施形態の動作と共通する。そこで、共通する動作については詳細な説明は省略し、第1実施形態と異なる点を中心に説明することとする。

【0095】出力可能時刻判定部130においては、セルカウンタ部120から与えられたVCをアドレスとして、VC情報メモリ131からのデータの読出しが行われる。読み出されるデータは、帯域、履歴、及び優先度である。そして、出力可能時刻判定部130において、これらのデータに基づき、出力可能時刻が判別される。そして、判別された出力可能時刻と優先度が、出力可能時刻判定部130からスケジュール制御部140に与えられる。

【0096】スケジュール制御部140においては、出力可能時刻判定部130から与えられた出力可能時刻をアドレスとして、チェーンポインタメモリ141からデータの読出しが行われる。読み出されるデータは、当該アドレスに記憶されたカウンタ値と、先頭VCと最終VCである。読み出されたカウンタ値が0である場合は、カウンタ値が1にインクリメントされ、先頭VCと最終VCに受け取ったVCをデータとして保存する。

【0097】また、読み出されたカウンタ値が0以外の値の場合には、カウンタ値を1インクリメントし、与えられた優先度により、VCの保存方法が以下になる。優先度が低い場合には、第1実施形態と同様に扱われる。即ち、既に読み出された最終VCをアドレスとして、チェーンメモリ142に、受け取ったVCをデータとして、保存すると共に、最終VCを与えられたVCに書き換える。これに対して、優先度が高い場合には、与えられたVCをアドレスとしてチェーンメモリ142に既に読み出された先頭VCをデータとして保存し、先頭VCを与えられたVCに書き換える。

【0098】なお、これ以降の動作については第1実施形態と同様であるので、説明を省略する。

【0099】(B-3)第2実施形態の具体的な動作次に、第2実施形態の動作の主要な点を示す、図6を参照しながら、第2実施形態の動作をより具体的に説明する。

【0100】第2実施形態の動作においては、a、b及びcというVCは優先度が低く、dというVCは優先度が高いという点を除き、第1実施形態と同様である。

【0101】(B-3-1)書込み動作

スケジュール1〜3については、いずれも優先度の低いVCであり、VCの優先度に高低はないので、第1実施形態と同様に書込み動作がなされる。

【0102】したがって、スケジュール3入力後の状態においては、時刻1に関し、合計2個のVCがスケジュール制御部140への入力順に保存されている。具体的には、チェーンポインタメモリ141において、時刻1をアドレスとする、カウンタ値は2、先頭VCはa、最終VCはcとなっており、チェーンメモリ142においては、aというアドレスにcがデータとして保存されている。

【0103】また、時刻2については、チェーンポインタメモリ141において、カウンタ値が1、先頭VC及び最終VCともにVCはbであり、チェーンメモリ142においては、いずれのアドレスも無記入のままである。

【0104】かかる状態のスケジュール制御部140へ、スケジュール4が入力される。スケジュール4の出力可能時刻は1であるから、これをアドレスとして、チェーンポインタメモリ141からカウンタ値、先頭VC及び最終VCが読み出される。いま、読み出されたカウンタ値は2であるから、カウンタ値が2から3にインクリメントされる。一方、VCは優先度の高いdであるので、このアドレスの先頭VCにスケジュール4のVCであるdがデータとして書き込まれる。また、チェーンメモリ142においては、入力されたVCであるdの優先度が高いため、dをアドレスとしてaがデータとして書き込まれる。この結果、チェーンメモリ142内には、図6に示すように、aをアドレスとして、cがデータとして保存されており、またdをアドレスとしてcがデータとして保存されることとなる。

【0105】(B-3-2)読出し動作

読出しは、第1実施形態と同様の手順に従ってなされる。いま、チェーンポインタメモリ141及びチェーンメモリ142に保存されているVCは、時刻1については、カウンタ値が3、先頭VCがd、最終VCがcであり、チェーンメモリ142には、アドレスaにデータcが、アドレスdにデータaが保存されている。したがって、読み出される順番は、時刻1については、d、a及びcの順である。時刻1についての読出しが終わった後時刻2についての読出しがなされる。したがって出力されるVCの順番は、図6に示すように、d、a、c及び

bの順となる。

#### 【0106】(B-4)第2実施形態の効果

以上説明したように、第2実施形態によれば、第1実施形態の効果に加え、次のような効果が得られる。チェーンポイントメモリと、チェーンメモリに出力セルのVCを保存する際に、当該出力可能時刻について、高い優先度が付されたVCを有するセルは先に出力し、低い優先度が付されたVCを有するセルは後に出力するようにチェーン状に保存することが可能となる。このため、セルの遅延変動に厳しいサービスに対応したVCにおいて、VC情報メモリの優先度を高く設定しておくことで、このVCにおけるサービス品質を向上させることが可能となる。

#### 【0107】(C)他の実施形態

上記実施形態においては、VCについてシェーピングする、VCシェイパについて説明したが、これに限られない。例えば、VCをVP(仮想パス識別子; Virtual Path Identifier)に読み替えて、VPについてシェーピングするVPシェーパとして構成してもよい。

【0108】また、チェーンポイントメモリのカウンタ部は、各時刻毎にスケジュールされたVCがあるかどうかかわかればよいので、読み出した先頭VCと最終VCを比較する比較器を用いて構成してもよい。

【0109】さらに、スケジュール制御部の詳細構成は、上記実施形態のものに限定されず、同様な機能を実現できるものであれば、他の構成であっても良い。例えば、スケジュール制御部の容量面の利点のみを達成すれば良いのであれば、従来と同様に空き時刻を探す形式のものを適用するようにしても良い。

【0110】さらにまた、本発明は、ATM網以外の網用のシェーピング装置にも適用できるものである。

#### 【0111】

【発明の効果】以上詳細に説明したように、本発明にか

かるシェーピング装置によれば、次の効果が奏される。

【0112】同一の出力可能時刻に対して複数の宛先種類を保存することが可能となるため、空き時刻を見つけるための回路を設ける必要がなくなり、回路構成が簡素化され、また、出力可能時刻に対する1又は複数の宛先種類を確実に保存することができるため、入力セルが廃棄されることがなくなり、予め設定された帯域を下回ってしまったり、品質の低下を引き起こすおそれがなくなる。

10 【0113】また、セル毎ではなく、宛先種類毎に出力可能時刻を設定しているため、出力可能時刻の個数が少なくなり、メモリ容量が小さくて済むという利点がある。

#### 【図面の簡単な説明】

【図1】第1実施形態のシェーピング装置の構成を示す図である。

【図2】従来のシェーピング装置の構成を示す図である。

20 【図3】従来のシェーピング装置の動作の主要部を示す図である。

【図4】第1実施形態のシェーピング装置の動作の主要部を示す図である。

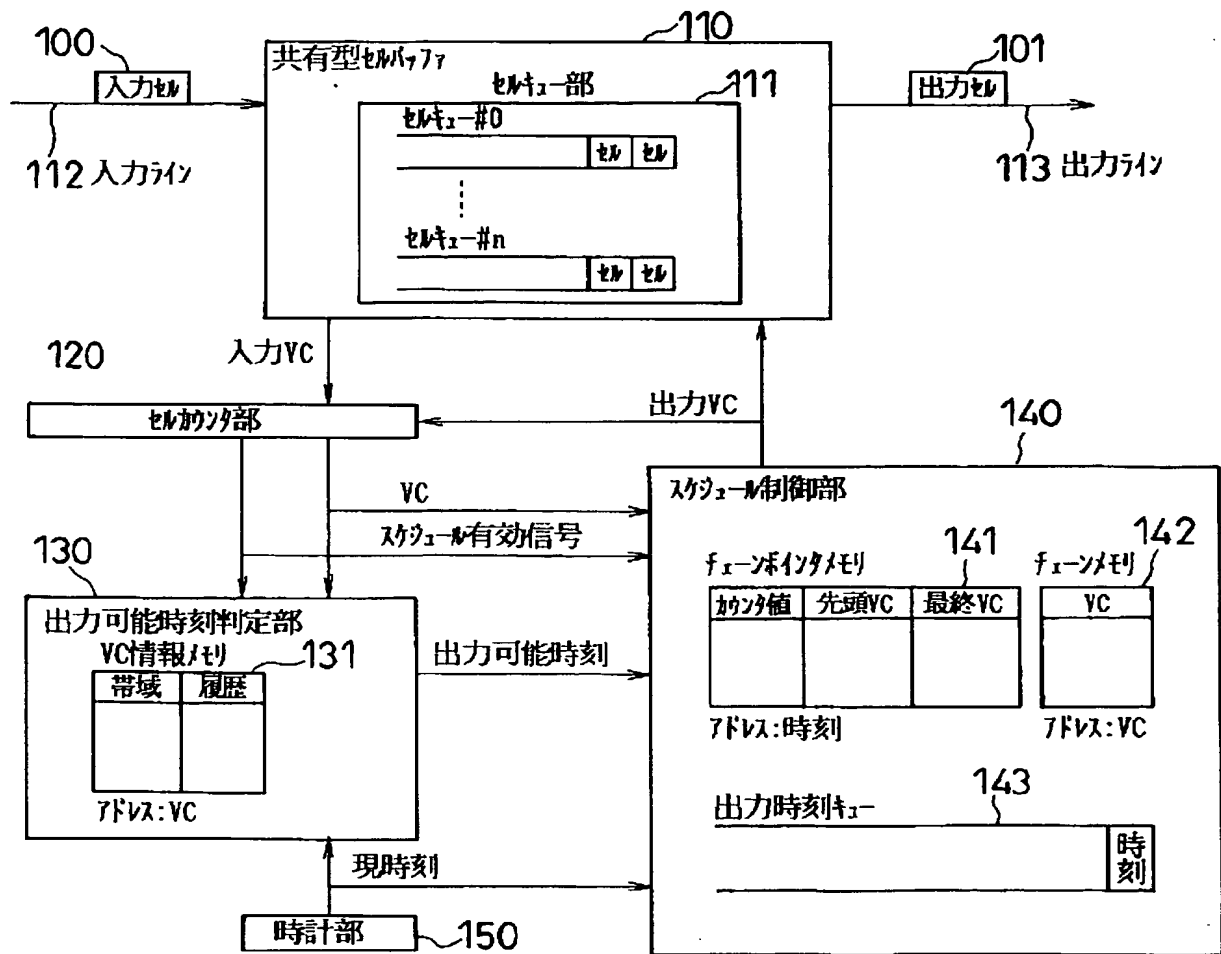
【図5】第2実施形態のシェーピング装置の構成を示す図である。

【図6】第2実施形態のシェーピング装置の動作の主要部を示す図である。

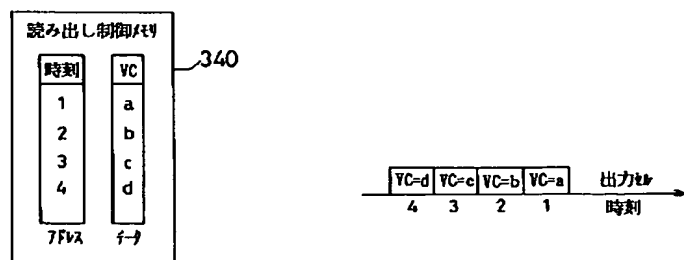
#### 【符号の説明】

110…共有型セルバッファ、111…セルキュー部、  
#0～#n…セルキュー、120…セルカウンタ部、1  
30…出力可能時刻判定部、131…VC情報メモリ、  
140…スケジュール制御部、141…チェーンポイントメモリ、142…チェーンメモリ、143…出力時刻  
キュー、150…時計部。

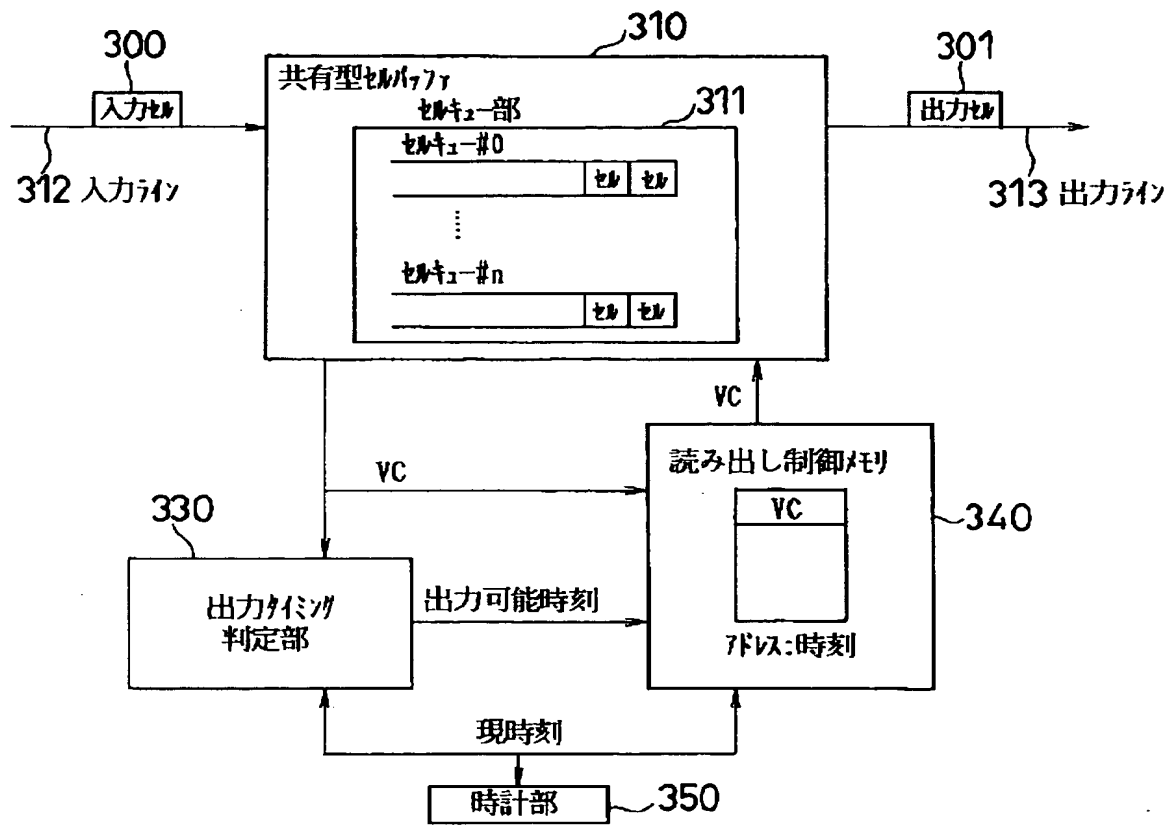
【図1】



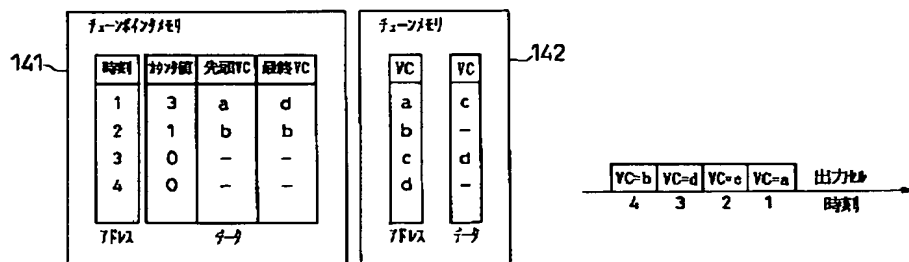
【図3】



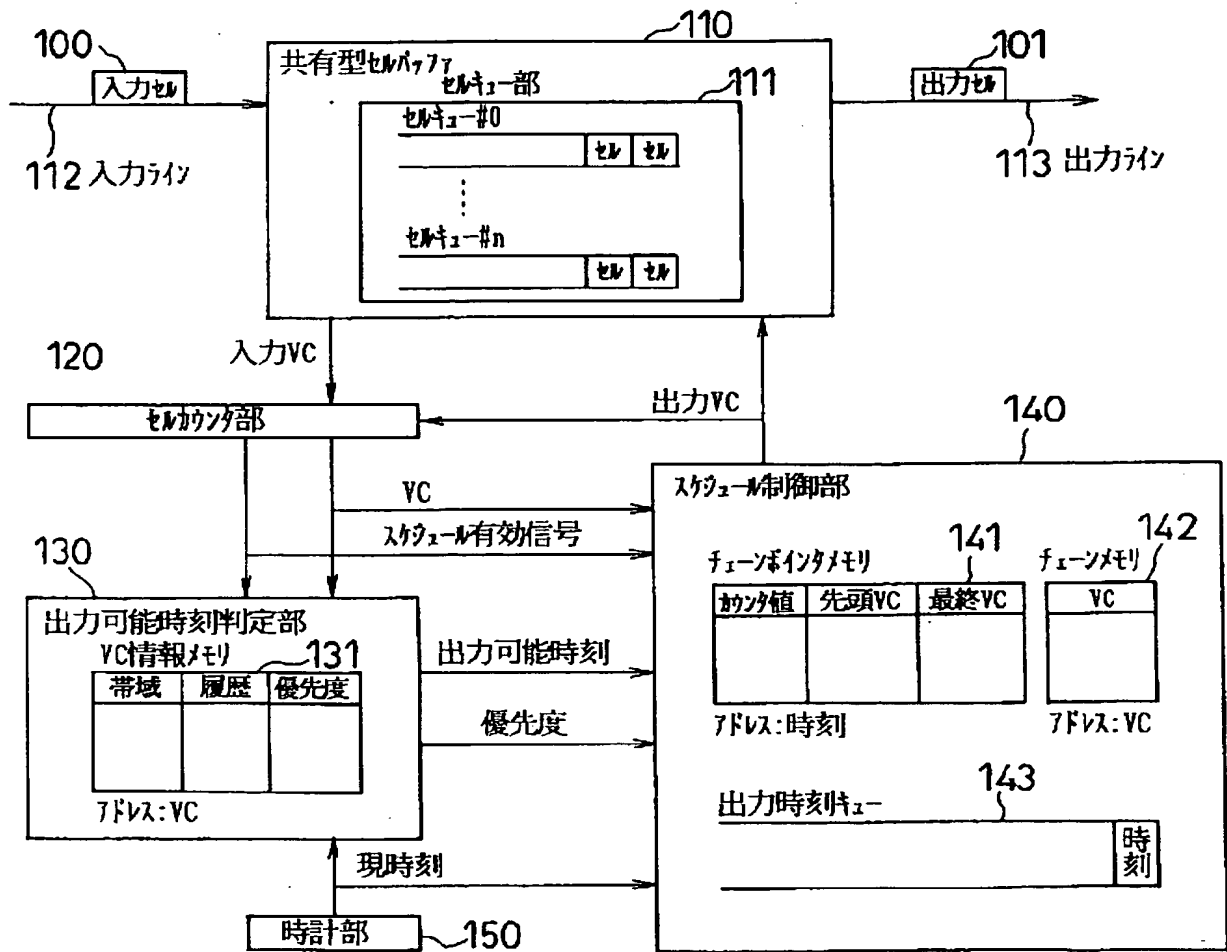
【図2】



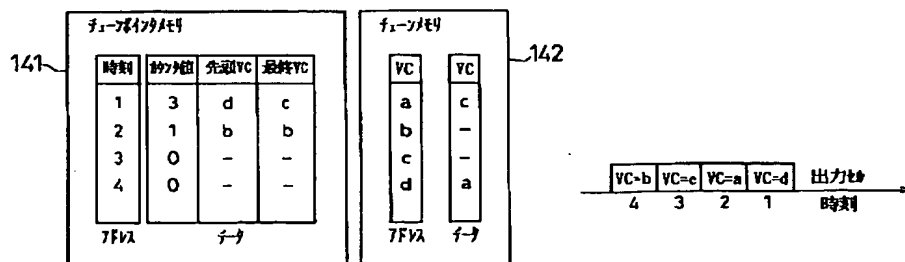
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 牛島 重彦

東京都新宿区西新宿 3 丁目 19 番 2 号 日本  
電信電話株式会社内